

## ⑫ 公開特許公報(A) 昭60-128651

⑪ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)7月9日

H 01 L 27/04

P-8122-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭58-236826

⑯ 出 願 昭58(1983)12月15日

⑰ 発 明 者 田 中 正 博 川崎市中原区上小田中1015番地 富士通株式会社内

⑱ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 松岡 宏四郎

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

半導体基板内に形成された不純物導入層と多結晶半導体層とを組合わせ接続してなる抵抗体を有することを特徴とする半導体装置。

## 3. 発明の詳細な説明

## (a). 発明の技術分野

本発明は抵抗を含む集積回路等の半導体装置に関する。

## (b). 技術的背景

現在集積回路の半導体基板はシリコンが主流を占めており、この場合集積回路を構成する抵抗は、半導体基板内に形成された拡散抵抗、あるいは半導体基板上に被着されたポリシリコン層による抵抗を用いている。これらの抵抗を単独で用いた場合、特に前者は大きな温度依存性をもっているもので、低温時、あるいは高温時に抵抗値が設計値より大きく外れ、電源電流の変動、動作の不良等種

々の問題が生じている。

## (c). 従来技術と問題点

上述のように拡散抵抗は抵抗値の温度係数が大きいので、例えば電源抵抗をデバインドした点の電圧は、電源抵抗を構成する抵抗が同じ温度係数を有する場合には温度による影響を受けないため、このような用途に使うよう工夫を凝らしている。しかしながらこのような特殊の用途以外の一般的な使用に対しては、例えばロジック回路における抵抗値の余裕度の大きい場合に限られていた。アナログ回路のように、精密な抵抗値を必要とするものには向かなかった。

それ故、拡散抵抗より約1桁温度係数が小さい半導体基板上に被着されたポリシリコン層による抵抗を用いているが、これでもまだ設計上の要求を充たすことができない場合が多い。

## (d). 発明の目的

本発明の目的は従来技術の有する上記の欠点を除去し、半導体基板内に形成された不純物導入層と多結晶半導体層を合成してなる温度係数が小さ

い抵抗体を有することを特徴とする半導体装置を提供することにある。

#### (e). 発明の構成

上記の目的は本発明によれば、半導体基板内に形成された不純物導入層と多結晶半導体層とを組合わせ接続してなる抵抗体を有することを特徴とする半導体装置を提供することによって達成される。

本発明は半導体基板内に形成された不純物導入層よりなる抵抗は正の温度係数、多結晶半導体層よりなる抵抗は負の温度係数をもち、両者を直列、並列または直並列に合成して正負の温度係数を相殺し、広い温度範囲にわたって温度係数を0に近づけようとするものである。

#### (f). 発明の実施例

第1図は本発明の一実施例を示す半導体基板の断面である。

図において、1は半導体基板でp型シリコン基板にn型エピタキシャル層を堆積したものを用い、該層内に不純物導入層としてp型の拡散層2を形

成する。この場合拡散層は不純物導入量と厚さを加減して所望の層抵抗率を得る。

つぎに半導体基板上に酸化シリコン( $\text{SiO}_2$ )膜3を500Å、その上に絶縁膜として窒化シリコン( $\text{Si}_3\text{N}_4$ )膜4を1500Å被着する。窒化シリコン膜は、半導体基板上にフィールド酸化膜やその他の素子形成に用いる耐酸化マスク膜で、この場合は合成抵抗形成の絶縁膜として活用する。また半導体基板と窒化シリコン膜との間に挟まれた酸化シリコン膜は、両者の熱膨張係数の差による歪応力を緩和して窒化シリコン膜の剥離を防ぐためのものである。

つぎに拡散層2の両端において、窒化シリコン( $\text{Si}_3\text{N}_4$ )膜4および酸化シリコン( $\text{SiO}_2$ )膜3にコンタクト窓5、6を開け、拡散層2の表面を露出させる。

つぎに多結晶半導体層として、半導体基板全面にポリシリコン膜7を6000Å被着し、抵抗形成部以外の部分を酸化してポリシリコンの酸化膜7Aを得る。この場合ポリシリコン抵抗層は厚さ

とポリシリコン中えの不純物導入量を加減して、所望の層抵抗率を得る。さらにその上に酸化シリコン( $\text{SiO}_2$ )膜8を5000Å被着し、前記コンタクト窓5、6上で酸化シリコン( $\text{SiO}_2$ )膜8にコンタクト窓を開け、アルミニウム電極9、10を形成して、拡散抵抗とポリシリコン抵抗が並列に接続された合成抵抗が完成する。

周知のように抵抗層の抵抗値Rは

$$R = \rho_s (L/W)$$

で表される。ここに $\rho_s$ 、L、Wは抵抗層の層抵抗率、長さ、幅を示す。勿論コンタクト部の周辺効果は通常の計算により補正する必要がある。層抵抗率 $\rho_s$ の元は $\Omega$ であるが、抵抗値と区別するため通常単位記号として $\Omega\text{cm}$ で示される。

抵抗値の温度係数は

拡散抵抗で

$$\rho_s = 0.05 \sim 1 \text{ k}\Omega\text{cm}$$

に対し、

$$+ (0.1 \sim 0.2) \% / ^\circ\text{C}.$$

ポリシリコン抵抗で

$$\rho_s = 0.7 \sim 1.4 \text{ k}\Omega\text{cm}$$

に対し、

$$- (0.03 \sim 0.07) \% / ^\circ\text{C}.$$

である。

この結果を利用して、実施例において拡散抵抗とポリシリコン抵抗の温度係数の相殺は抵抗層の幅Wと層抵抗率 $\rho_s$ を変化させて行うことができる。

本実施例に係る合成抵抗は、縦積み構造であるため、単独抵抗の場合と同等の集積化が可能である。

実施例では拡散抵抗とポリシリコン抵抗の並列接続を行ったが、直列接続あるいはこれらの接続の組み合わせによっても目的を達することができる。またシリコン以外の半導体基板を用い、半導体基板内の不純物導入層の抵抗と、半導体基板上に被着した多結晶半導体層の抵抗を用いても発明の要旨は変わらない。

#### (g). 発明の効果

以上詳細に説明したように本発明によれば、半

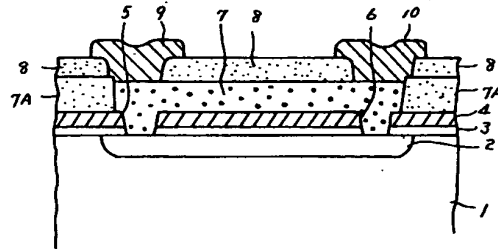
導体基板内に形成された不純物導入層と多結晶半導体層を合成してなる温度係数が小さい抵抗体を有することを特徴とする半導体装置を提供することができる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示す半導体基板の断面である。

図において、1は半導体基板、2は拡散層、3は酸化シリコン( $\text{SiO}_2$ )膜、4は窒化シリコン( $\text{Si}_3\text{N}_4$ )膜、5、6はコンタクト窓、7はポリシリコン膜、7Aはポリシリコンの酸化膜、8は酸化シリコン( $\text{SiO}_2$ )膜、9、10はアルミニウム電極を示す。

第1図



代理人 弁理士 松岡宏四郎



CLIPPEDIMAGE= JP360128651A

PAT-NO: JP360128651A

DOCUMENT-IDENTIFIER: JP 60128651 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: July 9, 1985

INVENTOR-INFORMATION:

NAME

TANAKA, MASAHIRO

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP58236826

APPL-DATE: December 15, 1983

INT-CL (IPC): H01L027/04

US-CL-CURRENT: 257/538,257/637 ,257/641 ,257/644

ABSTRACT:

PURPOSE: To produce a resistor with less temperature coefficient by a method wherein an impurity introducing layer and a polycrystalline layer are combined to be connected in a semiconductor substrate.

CONSTITUTION: A P type diffusion layer 2 as an impurity layer is formed on an N

type epitaxial layer deposited on a substrate 1. A silicon oxide film 3 and a silicon nitride film 4 are successively laminated on the semiconductor substrate 1. Next the silicon nitride film 4 and the silicon oxide film 3 are provided with contact holes 5, 6 at both ends of the diffusion layer 2 to expose the surface of the layer 2. The overall surface of the semiconductor substrate 1 is coated with a polysilicon film 7 as a polycrystalline semiconductor layer and the parts excluding a resistor forming part are

oxidized to form a polysilicon oxide film 7a. Moreover the polysilicon oxide film 7a is coated with another silicon oxide film 8 to be provided with the other contact holes upon the contact holes 5, 6 and then aluminum electrodes 9, 10 may be formed to complete a composite resistor connecting diffusion resistor with polysilicon resistor in parallel.

COPYRIGHT: (C)1985,JPO&Japio